

高精度 Sigma-Delta 调制器的建模设计

尹勇生, 邓春菲, 陈红梅

(合肥工业大学 微电子设计研究所, 安徽 合肥 230009)

摘 要: 基于 MATLAB Simulink 设计实现了一款单环三阶一位量化 CIFF(Cascade-of-integrators, feedforward form)结构的高精度 Sigma-Delta 调制器. 通过对噪声传输函数和系统反馈系数进行优化, 提高了调制器的稳定性; 分析了开关电容电路的主要误差影响, 为电路实现提供可靠的设计指导. 仿真结果显示, 在输入信号带宽为 75 Hz, 过采样率为 512 时, 理想调制器输出 SNR 高达 148.3 dB, ENOB 为 24.34 bit; 考虑非理想因素时, ENOB 为 22.02 bit; 电路级实现的调制器 ENOB 达 20.94 bit, 表明该设计可实现低信号带宽下高精度转换.

关键词: Sigma-Delta 调制器; 高精度; CIFF; 噪声传输函数; 非理想因素

中图分类号: TN431

文献标识码: A

文章编号: 1000-7180(2016)05-0028-05

The Modeling Design of High-precision Sigma-Delta Modulator

YIN Yong-sheng, DENG Chun-fei, CHEN Hong-mei

(Institute of VLSI Design, Hefei University of Technology, Hefei 230009, China)

Abstract: Based on the MATLAB Simulink, the design of high-precision Sigma-Delta Modulator with single-loop third-order one-bit structure of CIFF is realized. The noise transfer function and feedback coefficients are optimized to enhance the stability of the system; and the main non-ideal factors in switch capacitor circuit are analyzed to provide a reliable guidance for transistor level circuit design. The simulation results show that when the signal bandwidth is 75 Hz and the sampling rate is 512, the SNR is as high as 148.3 dB; the ENOB is 24.34 bit and become 22.02 bit in the condition of various non-ideal factors, and become 20.94 bit when the designed modulator is realized by the real circuit. The results show that this structure can achieve high accuracy under low signal bandwidth.

Key words: Sigma-Delta Modulator; high precision; CIFF; noise transfer function; Non-ideal factors

1 引言

采用噪声整形技术和过采样技术的 Sigma-Delta ADC 具有很多优点, 例如, 对元器件失配容忍能力强, 线性度和精度高等, 因而得到了广泛的应用. 作为 Sigma-Delta ADC 的核心组成, 采用高阶单环多位量化或级联结构的 Sigma-Delta 调制器正朝着低功耗高精度的方向发展. 文献[1]采用单环二阶四位量化结构的调制器, 信噪比高达 91 dB. 文献[2]采用单环三阶四位量化结构, 调制器信噪比为 98 dB. 文献[3]采用 4 阶 2-2 级联的结构实现 15 bit 的转换, 文献[4]采用三阶 2-1 级联的结构, 精度高达

19 bit. 但由于单环多位量化线性度差, 级联结构噪声泄露和功耗大, 上述结构很难达到 20 bit 以上的精度要求. 本文综合精度, 功耗和线性度等因素, 设计了一款单环三阶一位量化 CIFF 结构的 Sigma-Delta 调制器, 通过在 Simulink^[5] 环境下进行系统建模, 并充分考虑各种误差因素的影响, 实现了精度高于 20 bit 的高精度 Sigma-Delta 调制器.

2 Sigma-Delta 调制器架构设计

2.1 基本原理

Sigma-Delta 调制器系统模型如图 1 所示. 该系统是负反馈系统, 具有两个输入和一个输出. 环路滤

波器的输出信号 Y 如果为负,系统会反馈量化器的负信号输出 V 与滤波器的输入 U 相减,使得 Y 增加;反之当 Y 为正时,系统将正信号输出 V 反馈,使得滤波器的输出 Y 减小。

根据图 1,可将系统的传递函数表示为

$$V(z) = \text{STF}(z)U(z) + \text{NTF}(z)E(z) \quad (1)$$

式中, $\text{STF}(z)$ 和 $U(z)$ 表示信号传输函数和输入信号 U 在 z 域中的表达式, $\text{NTF}(z)$ 和 $E(z)$ 表示噪声传输函数和量化噪声 E 的 z 域表达式。

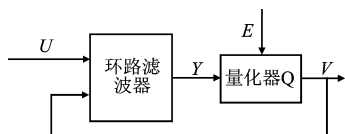


图 1 Sigma-Delta 调制器系统模型

信号传输函数在信号带宽内是输入信号的全通函数,而噪声传输函数是高通函数,将量化噪声转移到信号带宽之外,提高了信号带宽内的信噪比。

当只考虑量化噪声时,对于过采样率为 OSR 的 L 阶一位量化 Sigma-Delta 调制器,其最大 SNR 为:

$$\text{SNR} = 1.76 + 10\lg(2L+1) - 20L \cdot 10\lg\pi + 10(2L+1)\lg(\text{OSR}) + 6.02(\text{dB}) \quad (2)$$

由式(2)可知,SNR 与调制器的阶数 L ,过采样率 OSR 有关。当 L 不变时,OSR 翻倍会使得 SNR 增加 $6.02 \cdot (L+0.5)\text{dB}$ 。

2.2 架构选择

高精度 Sigma-Delta 调制器有两种结构,分别是单环高阶和级联结构。级联结构具有较高的稳定性,但噪声泄露和功耗相对较大;单环高阶结构能有效降低噪声并减少功耗,虽然稳定性较差,但通过设定合适的传输函数可以保证系统的稳定性。单环高阶又包括前馈和反馈两种结构,与反馈结构相比,前馈结构的各级输出不含有输入信号,输出摆幅低,降低了运算放大器设计要求。多位量化是采用多位内嵌量化器来代替 1 位内嵌量化器,虽然能提高系统的信噪比,但需要增加自校准和动态元件匹配来降低非线性度,会使得设计数字电路和模拟电路更为复杂,因此本文采用单环高阶前馈一位量化结构。根据式(2)绘制出理想调制器的最大 SNR 与调制器阶数 L ,过采样率 OSR 的关系如图 2 所示。

根据桥式传感器的应用需求,Sigma-Delta 调制器的设计精度要达到 20 bit 以上,保留一定的设计裕度,则 Sigma-Delta 调制器最大信噪比需达到 160 dB。

由图 2 可选取 $L=3, \text{OSR}=512$; $L=4, \text{OSR}=256$ 等方案。由于随着调制器阶数的增大,稳定性变差,同时所需电路器件增多,功耗增大,所以选择 $L=3, \text{OSR}=512$ 的系统结构。虽然该结构过采样率较高,数字抽取滤波器设计复杂,但是当前数字电路设计自动化程度高,相比于模拟电路设计发展速度更快。综上分析,本文采用过采样率为 512 的三阶调制器结构。

$\text{STF} =$

$$\frac{b_1[a_1 H_1(z) + a_2 c_2 H_1^2(z) + a_3 c_2 c_3 H_1^3(z)]}{1 + c_1[a_1 H_1(z) + a_2 c_2 H_1^2(z) + a_3 c_2 c_3 H_1^3(z)]}$$

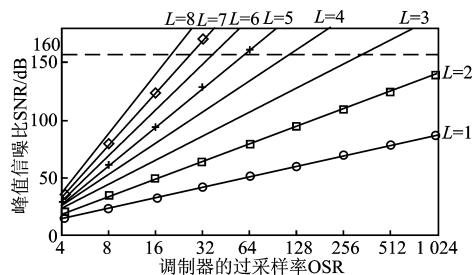


图 2 调制器最大信噪比与阶数,过采样率的关系(1 bit 量化)

3 Sigma-Delta 调制器系统建模

3.1 系数的选取

根据上文架构的选择,图 3 给出了三阶单环前馈一位量化的 Sigma-Delta 调制器线性模型。

谐振反馈系数 g_1 的作用是为了确保系统的稳定性, g_1 通过在直流附近建立两个复数零点,使得传输函数的极点保持在单位圆内达到这一效果^[6]。 g_1 的值较小,一般忽略不计。为了减少谐波干扰以及量化器的面积,将信号通路到第二,三级积分器和量化器的前馈直路去除,即令 $b_2=b_3=b_4=0$ 。观察图 3 可以得到传输函数 STF 和 NTF 的表达式:

$\text{NTF} =$

$$\frac{1}{1 + c_1[a_1 H_1(z) + a_2 c_2 H_1^2(z) + a_3 c_2 c_3 H_1^3(z)]} \quad (3)$$

$\text{NTF} =$

$$\frac{1}{1 + c_1[a_1 H_1(z) + a_2 c_2 H_1^2(z) + a_3 c_2 c_3 H_1^3(z)]} \quad (4)$$

式中, $H_1(z) = \frac{1}{1-z}$ 为积分器的传输函数。

从上式可知,STF 的极点与 NTF 极点相同,STF 的零点取决于积分器增益 c_2 和前馈系数 a_i ($i=1,2,3$)。为了保证 STF 在信号通频带内幅值接近 1,设计系数时要求 $b_1 > c_1$ 。

表 1 调制器系数

系数	a_1	a_2	a_3	b_1	c_1	c_2	c_3
SDToolbox 综合后	0.799 7	0.288 1	0.044 0	1.0	1.0	1.0	1.0
缩减后系数	1.300 0	0.780 0	0.890 0	0.68	0.61	0.60	0.13

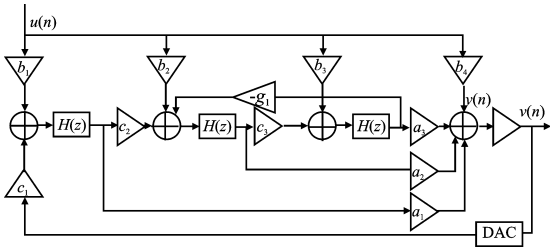


图 3 三阶单环前馈一位量化的线性模型

推导 NTF 时,输入信号 $u(n)$ 为 0,故所得表达式与系数 b_i ($i=1,2,3,4$) 无关,而与前馈系数 a_i ($i=1,2,3$) 相关. 采用 SDToolbox^[7] 工具包中 synthesizeNTF 函数来综合高通 NTF,然后利用函数 realizeNTF 获取对应结构的系数,省去了繁琐的计算过程,得到系数见表 1. 由表 1 可知利用 SDToolbox 得到的系数 b_1 等于 c_1 ,而最平坦的 STF 要求 $b_1 > c_1$,因此在 $b_1=1$ 基础上利用迭代思想求出 b_1 最优值. 当 $b_1=1.1$ 时系统信噪比达到最大.

这一组系数虽然能满足传输函数的要求,但是会使得积分器的输出摆幅很大,有可能超过电源电压,这在实际电路中是不可能实现的. 因而有必要对量化器前的系数进行成倍缩减,确保以固定值通过该支路,具体方法是增加 k 倍输入并将输出缩小 k 倍,反之亦然,参考文献[8]可以得到符合要求的系数,如表 1 所示.

图 4 是 FFT 分析后得到的调制器输出频谱图. 当输入信号振幅为 0.56 时,调制器的有效位数为 24.34 bit,信噪比高达 148.3 dB,满足设计要求.

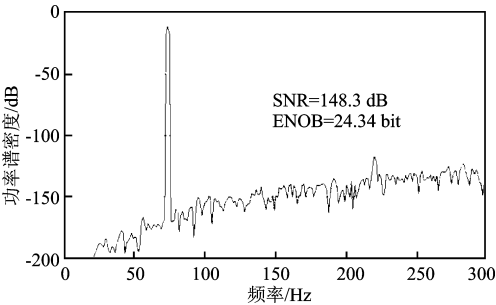


图 4 调制器的频谱图

3.2 非理想因素的分析

上文得到的理想调制器可以实现 24.34 bit 的高精度,但实际工作中调制器性能会受到很多非理想因素的影响. 因此需要估测非理想因素对实际电路达到的性能有什么影响,用于指导电路级的设计. 该设计应用在低频范围,所以主要考虑的因素包括运算放大器有限的直流增益,时钟抖动以及热噪声^[4].

3.2.1 KT/C 热噪声

开关电容电路 Sigma-Delta 调制器最重要的噪声源是热噪声. 热噪声的特点是宽频带和白噪声谱,产生于载流子的随机运动. 采样开关在采样时会影响积分器的输入,是产生热噪声的主要因素.

开关电容电路采样时,一个等效电阻为 R_{on} 的开关与采样电容 C_s 串联共同构成低通滤波器,热噪声经过 RC 滤波后输出总噪声功率为

$$e_T^2 = \int_0^\infty \frac{4KTR_{on}}{1 + (2\pi fR_{on}C_s)^2} df = \frac{KT}{C_s}$$

(5)

式中, T 表示绝对温度, K 表示波耳兹曼常数.

被热噪声影响后的输出信号 $y(t)$ 为

$$y(t) = k_{int} \cdot [x(t) + e_T(t)] = k_{int} \cdot [x(t) + \sqrt{\frac{KT}{C_s}} RN(t)]$$

(6)

式中, K_{int} 为积分器增益, $x(t)$ 为输入电压, $RN(t)$ 为高斯随机量. 图 5(a) 所示模型表示 $y(t)$ 函数对应的 Simulink 模型,其中由函数子模块实现 $f_{(w)} = \sqrt{KT/bCf}$ 的功能.

3.2.2 时钟抖动

时钟抖动直接带来的是非均匀采样,在采样保持(S/H)过程中,增加了量化误差,其取决于输入信号以及抖动的统计特性. 如果输入信号 $x(t)$ 是正弦信号,其频率是 f_{in} ,幅度是 A ,用 δ 表示采样时间误差,那么时钟抖动为

$$x(t + \delta) - x(t) \approx 2\pi \cdot f_{in} \cdot \delta \cdot A \cdot \cos(2\pi f_{in} t)$$

$$= \delta \frac{dx(t)}{dt}$$

(7)

由式(7)可以得到图 5(b) 所示时钟抖动的

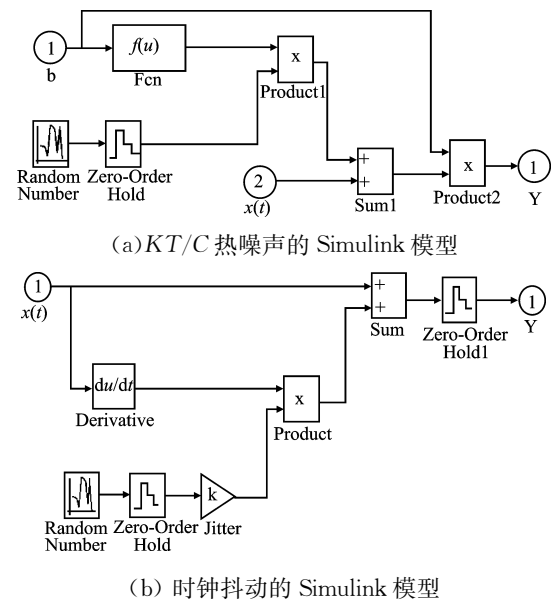


图 5 非理想因素的 Simulink 模型

Simulink 模型. 可以发现信号频率越高同时幅度越大时,引起的时钟抖动则越大. 采样时间误差 δ 是服从标准差为 $\Delta\tau$ 的高斯分布的白噪声,它的功率谱密度均匀分布在 $0 - f_s/2$ 频带内,总能量为 $(2\pi f_{in}\Delta\tau A)^2/2$. 当过采样率为 OSR 时,信号带宽内的总能量为 $2(\pi f_{in}\Delta\tau A)^2/OSR$,这个能量可以被高的过采样率所削减. 由于本文采用 512 的高过采样率,因此时钟抖动误差对调制器性能影响很小.

3.2.3 运算放大器有限的直流增益

在开关电容积分器中,由于运算放大器的直流增益有限引起的电荷的不完全转移是影响积分器性能的主要因素.

实际应用时,运算放大器的直流增益有限使得前一周积分器产生的输出值无法全部反馈回输入端,从而导致电荷泄漏即由采样电容转移到积分电容的电荷减少,增加了频带内噪声.

图 6 是调制器有效位数随着运放直流增益变化的曲线图,由图可知,随着增益的提高,有效位数不断提高,当增益大于 60 dB 时,提高运算放大器的增益对有效位数没有多大的影响. 这要求实际电路设计时,运放的直流增益要大于 60 dB.

4 仿真结果

本文给出了整个 Sigma-Delta 调制器非理想因素行为级仿真的模型图,如图 7 所示. 经过环路滤波处理后,后两级积分器的噪声对调制器性能造成的影响相对于第一级积分器的微乎其乎,因此设计时仅考虑了第一级积分器中的非理想因素. 第一级积

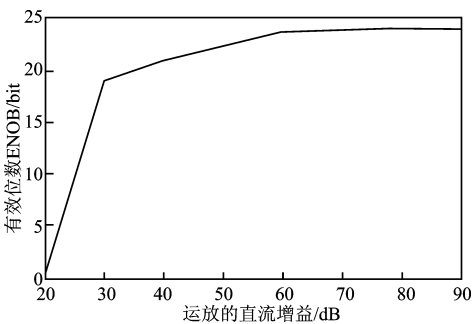


图 6 有效位数随运放直流增益的关系

分器用于对输入信号和反馈信号采样的两个开关,在建模时要同时考虑其产生的热噪声.

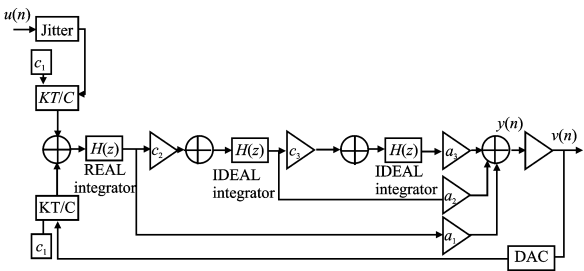


图 7 非理想因素行为级仿真结构图

表 2 中列出了非理想因素的取值,Simulink 仿真波形如图 8(a)所示,整个调制器系统的信噪比为 143.9 dB,有效位数高达 22.02 bit.

表 2 非理想因素的取值

采样时钟抖动	采样电容	有限直流增益	有限增益带宽	压摆率	饱和电压
4 ps	60 pF	60 dB	60 MHz	6 V/ μ s	1.5 V

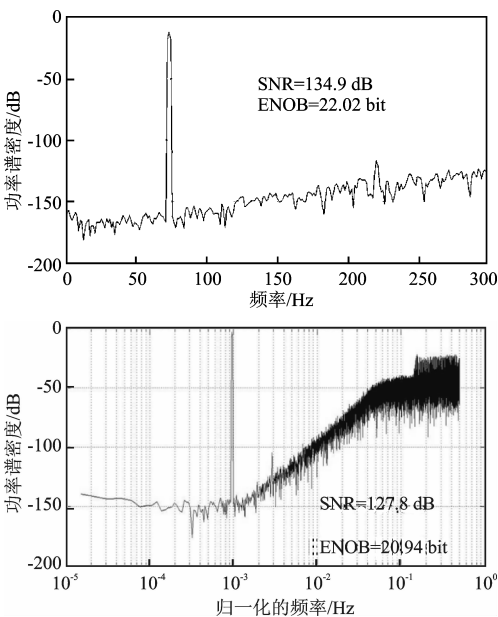


图 8 调制器输出频谱图

基于 Global Foundry 0.35 μm 2P3M CMOS 工艺和 3.3 V 的电源电压,对上述建模得到的 Sigma-Delta 调制器进行了电路设计.图 8(b)所示为 Cadence 仿真结果,调制器信噪比为 127.8 dB,有效位数高达 20.94 bit,表明了本文的建模设计有效指导了 Sigma-Delta 调制器电路级设计.

表 3 所示为近几年国内设计的 Sigma-Delta 调制器的对比情况,本文中采用三阶单环前馈结构的调制器,可以实现低信号带宽下高分辨率的 AD 转换.

表 3 Sigma-Delta 调制器性能的对比

论文	结构	过采样率	信号带宽/ KHz	信噪比/ dB	有效位数/ bit
本文	单环三阶 CIFF	512	0.075	144	20.94
文献[4]	三阶 2-1 级联	128	0.50	119	19.47
文献[9]	三阶单环 CIFB	256	5.0	123	20.14
文献[10]	单环四阶前馈	128	40	118	19.37
文献[11]	经典的二阶级联	512	2.0	86.5	14.08

5 结束语

本文基于 MATLAB 设计了一款 Sigma-Delta 调制器.通过采用单环三阶一位量化 CIFF 结构,在 Simulink 环境下进行系统建模,仿真结果表明当输入信号带宽为 75 Hz,过采样率为 512 时,理想调制器有效位数高达 24.34 bit,考虑非理想因素后有效位数为 22.02 bit;电路级实现的调制器有效位数达 20.94 bit,实现了低信号带宽领域高分辨率的转换.该高精度调制器可以应用于桥式传感器、称重等领域.

参考文献:

[1] Custodio J R, Goes J, Paulino N, et al. A 1.2 V 165/spl mu/W 0.29 mm² multibit sigma-delta ADC for hearing aids using nonlinear DACs and with over 91 dB dynamic-range[J]. IEEE transactions on biomedical circuits and systems, 2013, 7(3):376-385.

[2] Cubas H A, Navarro Soares Junior J. Top-down design for low power multi-bit sigma-delta modulator[C]// 2012 25th Symposium on Integrated Circuits and Systems Design. Brazil, Brasilia, 2012: 1-6.

[3] Li Hongyi, Wang Yuan, Jia Song. Cascade 2-2 sigma-delta modulators for wideband high-resolution applications[C]//2010 Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics. China, Shanghai, 2010:69-72.

[4] 李威, 李开航, 王亮. 16-Bits 三阶级联结构 Sigma-Delta 调制器的设计[J]. 现代电子技术, 2010, 33(4): 12-15.

[5] 李亮, 陈珍海. 应用于数字音频的二阶 Sigma-Delta 调制器设计[J]. 微电子学与计算机, 2010, 27(7): 198-201.

[6] Ranjbar M, Lahiji G R, Oliaei O. A low power third order delta-sigma modulator for digital audio applications[C]// Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on. Greece, Kos Island, IEEE, 2006:4759-4762.

[7] Schreier R, Temes G C. Understanding delta-sigma data converters[M]. Piscataway, NJ: IEEE press, 2005:389-416.

[8] 何素东, 吴建辉, 周越. $\Sigma\Delta$ 调制器的设计方法[J]. 电子器件, 2008, 31(2):516-519.

[9] 李新, 王龙. 三阶一位量化 CIFB 结构 $\Sigma\Delta$ ADC 调制器设计[J]. 电子设计工程, 2014, 22(3): 156-160.

[10] 徐灿. 四阶前馈结构 Sigma Delta 调制器在 SIMULINK 建模[J]. 电子质量, 2013, 33(8): 9-12.

[11] 林斌, 应忍冬, 刘佩林. 非理想 $\Sigma\Delta$ 调制器在 SIMULINK 下的行为级建模[J]. 信息技术, 2012, 35(3): 72-76.

作者简介:

邓春菲 女, (1992-), 硕士研究生. 研究方向为 ADD 设计.

尹勇生 男, (1973-), 博士, 教授, 硕士生导师. 研究方向为超大规模集成电路设计、可重构计算技术、混合信号系统设计.

陈红梅(通讯作者) 女, (1986-), 硕士, 讲师. 研究方向为数模混合集成电路研究与设计.

E-mail: hmchen@hfut.edu.cn.